

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-008109

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H04N 5/335

(21)Application number : 11-176810

(71)Applicant : SONY CORP

(22)Date of filing : 23.06.1999

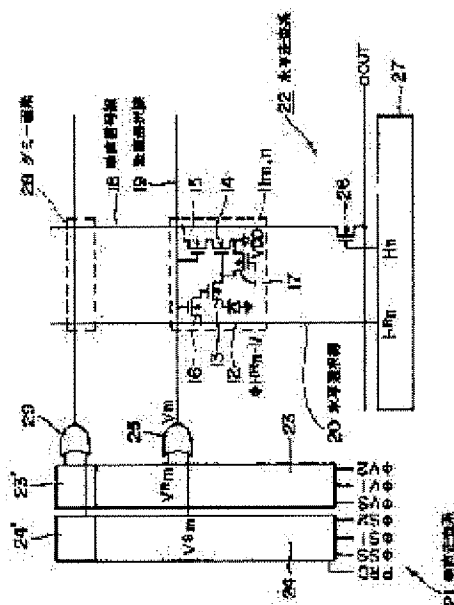
(72)Inventor : YONEMOTO KAZUYA
MABUCHI KEIJI

(54) SOLID STATE IMAGE PICKUP ELEMENT, ITS DRIVING METHOD AND CAMERA SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid state image pickup element preventing an electronic shutter (ES) scanning circuit from generating a difference in ES stages at the time of executing ES operation, a method for driving the image pickup element and a camera system.

SOLUTION: Relating to the XY address type image pickup element for executing ES operation, dummy stages 23', 24' are added to both of a vertical scanning circuit 23 and an ES scanning circuit 24 so as to form the same number of stages as the total number of scanning lines of a video signal and a dummy pixel 28 is added to an image pickup area so that ES scanning pulses are continuously outputted from the dummy stage 24' at least for a vertical video period after the end of vertical scanning by the circuit 23.



LEGAL STATUS

[Date of request for examination] 19.01.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-8109

(P2001-8109A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.⁷

識別記号

F I

フーリエ変換 (参考)

H 0 4 N 5/335

H 0 4 N 5/335

Q 5 C 0 2 4

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平11-176810

(22) 出願日 平成11年6月23日 (1999.6.23)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 米本 和也

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 馬淵 圭司

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム (参考) 5C024 AA01 CA17 FA01 FA11 GA31

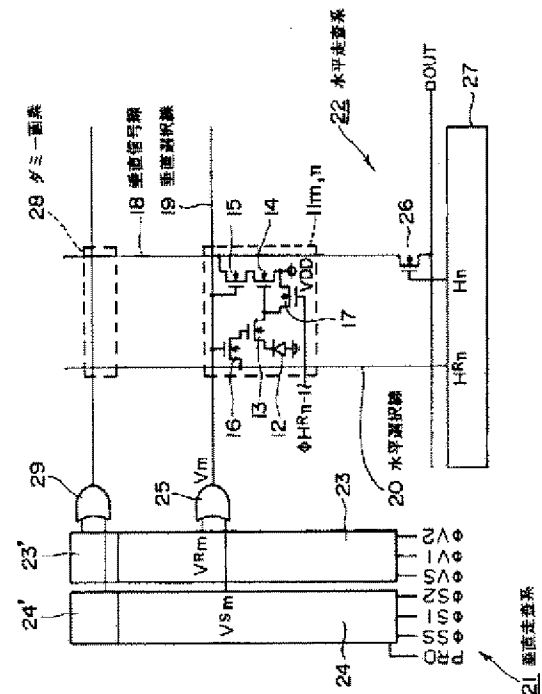
JA04 JA21

(54) 【発明の名称】 固体撮像素子およびその駆動方法並びにカメラシステム

(57) 【要約】

【課題】 電子シャッタ動作を行うXYアドレス型撮像素子において、垂直映像期間内に電子シャッタ走査パルスの出力が停止すると、撮像画面上に電子シャッタ段差が発生する。

【解決手段】 電子シャッタ動作を行うXYアドレス型撮像素子において、映像信号の総走査線数と同じ段数になるように、垂直走査回路23および電子シャッタ走査回路24の双方にダミーステージ23'、24'を追加するとともに、撮像領域にダミー画素28を追加し、垂直走査回路23による垂直走査終了後少なくとも垂直映像期間中は、ダミーステージ24'から電子シャッタ走査パルスを出力し続けるようにする。



(2)

1

【特許請求の範囲】

【請求項1】 行列状に配置された複数の画素を有する撮像領域と、
垂直走査パルスを順次出力して前記撮像領域の各画素を行単位で垂直走査する垂直走査回路と、
前記垂直走査回路による各行の選択に先立って電子シャッタ走査パルスを順に出力して各行の画素のリセット動作を行うとともに、前記垂直走査回路による垂直走査終了後少なくとも垂直映像期間中は前記電子シャッタ走査パルスを出力し続ける電子シャッタ走査回路とを備えたことを特徴とする固体撮像素子。

【請求項2】 前記垂直走査回路および前記電子シャッタ走査回路は、映像信号の総走査線数と同じ数の段数を有することを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記電子シャッタ走査回路は、その最終ステージに接続された自走型走査回路を有し、次の垂直走査が始まる直前に前記自走型走査回路を停止させることを特徴とする請求項1記載の固体撮像素子。

【請求項4】 前記電子シャッタ走査回路が前記撮像領域の走査を一巡したら、前記電子シャッタ走査回路に対してダミー走査開始パルスを与え、さらに次の電子シャッタ走査が始まる直前に前記電子シャッタ走査回路をリセットすることを特徴とする請求項1記載の固体撮像素子。

【請求項5】 行列状に配置された複数の画素を有する撮像領域の各画素を行単位で垂直走査するとともに、その垂直走査による各行の選択に先立って電子シャッタ走査パルスを順に出力して各行の画素のリセット動作を行う固体撮像素子において、
垂直走査終了後少なくとも垂直映像期間中は前記電子シャッタ走査パルスを出力し続けることを特徴とする固体撮像素子の駆動方法。

【請求項6】 行列状に配置された複数の画素を有する撮像領域と、
垂直走査パルスを順次出力して前記撮像領域の各画素を行単位で垂直走査する垂直走査回路と、
前記垂直走査回路による各行の選択に先立って電子シャッタ走査パルスを順に出力して各行の画素のリセット動作を行うとともに、前記垂直走査回路による垂直走査終了後少なくとも垂直映像期間中は前記電子シャッタ走査パルスを出力し続ける電子シャッタ走査回路とを備えた固体撮像素子を用いたことを特徴とするカメラシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子およびその駆動方法並びにカメラシステムに関し、MOS型あるいはCMOS型撮像素子などのようなXYアドレス（走査）型撮像素子およびその駆動方法、並びにこれらを用いたカメラシステムに関する。

2

【0002】

【従来の技術】XYアドレス型撮像素子の従来例を図10に示す。ここでは、図面の簡略化のために、単位画素の構成については、 m 行 n 列目の画素101 m 、 n のみを例にとり示している。画素101 m 、 n は、フォトダイオード102、読み出しトランジスタ103、増幅トランジスタ104、垂直選択トランジスタ105、XYアドレストランジスタ106およびリセットトランジスタ107によって構成されている。そして、その周辺回路として、行方向（垂直方向）の走査系108と列方向（水平方向）の走査系109とが設けられている。

【0003】行方向の走査系108は、読み出し走査をする垂直走査回路110、電子シャッタ走査をする電子シャッタ走査回路111およびこれら走査回路110、111から出力される読み出し走査パルスと電子シャッタ走査パルスとを論理演算するORゲート112によって構成されている。列方向の走査系109は、各列ごとに配線された垂直信号線113に接続されて画素からの信号出力を列選択する水平選択トランジスタ114およびこれら水平選択トランジスタ114に対して順次水平走査パルスを与える水平走査回路115によって構成されている。

【0004】次に、上記構成の従来例に係るXYアドレス型撮像素子の基本動作について、 m 行 n 列目の画素101 m 、 n の場合を例にとり説明する。

【0005】 m 行目の垂直走査パルス V_m と n 列目の水平読み出し走査パルス H_n との積がXYアドレストランジスタ106によってとられ、その結果が読み出しトランジスタ103のゲートに与えられる。これにより、予め手前の画素101 m 、 $n-1$ の水平読み出し走査パルス H_{n-1} によってリセットされた増幅トランジスタ104のゲートに、フォトダイオード102で光電変換された信号電荷（ここでは、電子）が読み出される。

【0006】この信号電荷の読み出し時点で、垂直走査パルス V_m は選択状態のレベルにあるので、増幅トランジスタ104のソースに接続された垂直選択トランジスタ105が導通状態にある。これにより、増幅トランジスタ104で増幅された信号は、水平走査回路115からの水平走査パルス H_n によって導通状態にある水平選択トランジスタ114を通し、さらに水平信号線116を経由して出力端子117から出力される。

【0007】電子シャッタを行う場合は、 m 行目の読み出し走査が行われる前（シャッタスピードの時間分だけ前）に、電子シャッタ走査パルス V_s によってフォトダイオード102から不要な信号電荷が読み出されるが、垂直選択トランジスタ105が1画素の信号期間中の無効期間にのみ導通状態にあることから、一方で読み出し走査が行われている画素の信号出力が行われているのに対して、電子シャッタの走査が行われている行からは信号出力が行われないので、読み出し行の信号に電子

(3)

3

シャッタが行われている行の信号が被ってしまうことなく、正常な映像信号が得られる。

【0008】図11および図12は、従来例に係るXYアドレス型撮像素子の動作説明のためのタイミングチャートである。これらの図において、VDは垂直同期信号、HDは水平同期信号である。 ϕVS および $\phi V1$ 、 $\phi V2$ は、垂直走査回路110のスタートパルスおよびクロックパルスである。 ϕSS および $\phi S1$ 、 $\phi S2$ は電子シャッタ走査回路111のスタートパルスおよびクロックパルスである。

【0009】 V_{m-1} 、 V_m 、 V_{m+1} は垂直読み出し走査パルスであり、行選択のために水平映像期間を通して選択状態を維持する。 V_{k-1} 、 V_k 、 V_{k+1} は電子シャッタ走査パルスであり、電子シャッタのための読み出しリセットを行い、かつその行の信号出力は $m-1$ 、 m 、 $m+1$ の各行の画素が出力する信号に混ざらないように1画素期間中のきわめて短い期間のみ、水平映像期間中を通して間欠的に選択状態になるように発生する。

【0010】

【発明が解決しようとする課題】しかしながら、上述した従来例に係るXYアドレス型撮像素子では、図13に示すように、電子シャッタ走査パルス V^s_m (V^s_1 、 V^s_2 、 \dots 、 V^s_m 、 \dots 、 V^s_M)が停止している期間が垂直映像期間にかかってしまう。撮像領域の垂直総画素数は、垂直ブランキング期間に信号出力する必要がないので、垂直ブランキング期間を含む垂直走査線数よりも少なく配列されている。

【0011】このため、撮像領域の垂直総画素数に合わせてその段数が決められている電子シャッタ走査回路111は、シャッタスピードを制御するために垂直走査回路110に先んじて走査が開始され、その結果、電子シャッタ走査回路111に流れる電源電流が違ったり、垂直走査パルスが撮像領域に静電的に与える影響が変化するため、撮像素子の撮像信号にオフセットや信号振幅の段差が発生する。

【0012】このような映像信号に対する影響は、画面として電子シャッタ走査パルス V^s_m (V^s_1 、 V^s_2 、 \dots 、 V^s_m 、 \dots 、 V^s_M)が停止している期間に相当するタイミングにおいて、図14に示すように、シャッタスピードに応じて上下に移動する横帯状に段差が現れる。以降、これを電子シャッタ段差と呼ぶものとする。

【0013】電子シャッタ走査回路111に流れる電流と垂直走査パルスが撮像領域に与える影響に関しては、以下のようにメカニズムで説明できる。

【0014】電子シャッタ走査回路111に流れる電流が変化することで、撮像素子に配線されている電源とGNDラインの電位が少なからず変動し、その電源とGNDに共通に接続されている撮像素子の信号出力回路を通る映像信号のオフセット段差や信号量段差となって現れ

4

る。

【0015】また、走査パルス V_m に関して言えば、撮像領域を横断するように配線されて垂直選択トランジスタ105のゲートなどに接続されている垂直選択線118に走査パルス V_m が与えられるため、静電容量的に垂直選択線118と撮像領域のGNDに相当するP-Wellなど少なからず結合して、走査パルス V_m の不連続性が撮像領域のGNDなどの電位変動になり、増幅トランジスタ104の利得変動やオフセット変動を引き起し、映像信号のオフセット段差や信号量段差となって現れる。

【0016】以上から明らかなように、電子シャッタ動作は、垂直走査回路110が走査するのに先駆けて、電子シャッタ走査回路111がシャッタスピードに相当する時間だけ早く走査を開始することから、電子シャッタ走査回路111が撮像領域を走査し終わるのが映像期間中であることが多く、走査し終わった時点で垂直走査回路110に流れる電流が少なくなったり、垂直選択線118にかかる電子シャッタ走査パルスがなくなるため、電子シャッタ走査回路110が走査し終わる前後で、少なからず撮像素子の映像信号出力の振幅やレベルに影響を及ぼし、撮像画面としては走査し終わる前後のタイミングでコントラストや明るさに段差、即ち電子シャッタ段差が発生してしまう。

【0017】すなわち、画素信号の読み出しに関わる垂直走査回路110が垂直映像期間中連続して動作し垂直走査パルスを出力していて、その走査の開始と終了が映像期間中に起こることがない（垂直ブランキング期間中に起こる）のに対して、電子シャッタ走査回路111は垂直走査回路110に先駆けてシャッタスピードの時間だけ先に電子シャッタ走査を開始するため、その電子シャッタ走査の開始と終了が映像期間中に起こる場合があり、そのような動作が撮像素子の出力する映像信号に影響を与えていた。

【0018】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、電子シャッタ動作を行った際に、電子シャッタ走査回路が電子シャッタ段差を生じさせないようにした固体撮像素子およびその駆動方法並びにカメラシステムを提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するために、本発明では、行列状に配置された複数の画素を有する撮像領域の各画素を行単位で垂直走査するとともに、その垂直走査による各行の選択に先立って電子シャッタ走査パルスを順に出力して各行の画素のリセット動作を行うことによって電子シャッタ動作を実現する固体撮像素子において、垂直走査終了後少なくとも垂直映像期間中は電子シャッタ走査パルスを出力し続けるようにする。

【0020】電子シャッタ動作をする固体撮像素子にお

(4)

5

いて、垂直走査終了後も少なくとも垂直映像期間中は電子シャッタ走査パルスを出し続けることで、電子シャッタ走査回路が撮像領域の走査を一巡しても、垂直映像期間中に電子シャッタパルスの出力が停止することがなくなる。換言すれば、少なくとも垂直映像期間内の全ての水平走査期間で電子シャッタパルスが出力されるようになる。これにより、少なくとも映像期間では電子シャッタ走査回路に流れる電流が違ったり、垂直走査パルスが撮像領域に静電的に与える影響が変化することなくなり、したがって撮像素子の撮像信号にオフセットや信号振幅の段差が発生するのを未然に防止できる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の第1実施形態に係るXYアドレス型撮像素子を示す概略構成図である。ここでは、図面の簡略化のために、単位画素の構成については、m行n列目の画素11m、nのみを例にとって示しているが、他の画素についても全く同じ構成であることは勿論である。

【0022】図1において、m行n列目の画素11m、nは、光電変換素子であるフォトダイオード12、このフォトダイオード12から信号電荷を読み出すゲートとして機能するNchMOSトランジスタ（読み出しトランジスタ）13、増幅素子として機能するNchMOSトランジスタ（増幅トランジスタ）14、画素の垂直選択をなすスイッチとして機能するNchMOSトランジスタ（垂直選択トランジスタ）15、水平方向および垂直方向のアドレス指定をなすNchMOSトランジスタ（XYアドレストランジスタ）16および画素をリセットするスイッチとして機能するNchMOSトランジスタ（リセットトランジスタ）17によって構成されている。

【0023】上記構成の画素11m、nにおいて、フォトダイオード12のカソードには読み出しトランジスタ13のソースが接続されている。読み出しトランジスタ13のドレインには、増幅トランジスタ14のゲートおよびリセットトランジスタ17のソースがそれぞれ接続されている。リセットトランジスタ17のドレインは電源VDDに接続されている。増幅トランジスタ14のソースには垂直トランジスタ15のドレインが接続されている。

【0024】垂直トランジスタ15のソースは、垂直信号線18に接続されている。垂直選択トランジスタ15のゲートは、撮像領域を横断するように配線された垂直選択線19に接続されている。読み出しトランジスタ15のゲートには、XYアドレストランジスタ16のソースが接続されている。XYアドレストランジスタ16のドレインは水平選択線20に接続され、ゲートが垂直選択線19に接続されている。

【0025】撮像領域の周辺部分には、垂直走査系21

6

および水平走査系22が設けられている。垂直走査系21は、読み出し走査をする垂直走査回路23、電子シャッタ走査をする電子シャッタ走査回路24およびこれら走査回路23、24から出力される読み出し走査パルスと電子シャッタ走査パルスとを論理演算するORゲート25によって構成されている。水平走査系22は、各列ごとに配線された垂直信号線18に接続されて画素からの信号出力を列選択する水平選択トランジスタ26およびこれら水平選択トランジスタ26に対して順次水平走査パルスを与える水平走査回路27によって構成されている。

【0026】本実施形態ではさらに、映像期間に信号が出力される撮像領域に加えて、映像信号の総走査線数と同じ段数になるように、従来例に係る撮像素子の垂直画素数と映像信号総走査線数の差の段数分だけ、垂直走査回路23と電子シャッタ走査回路24にダミーステージ23'、24'を追加し、それに対応したダミー画素28を追加した構成が採られている。そして、ダミーステージ23'、24'から出力される各走査パルスは、ORゲート29を通してダミー垂直選択線30に与えられるようになっている。

【0027】上記構成の第1実施形態に係るXYアドレス型撮像素子の動作説明のためのタイミングチャートを図2に示す。このタイミングチャートにおいて、スタートパルス ϕVS 、 ϕSS 、垂直走査パルス V^R_m ($V^R_1, V^R_2, \dots, V^R_m, \dots, V^R_M$) および電子シャッタ走査パルス V^S_m ($V^S_1, V^S_2, \dots, V^S_m, \dots, V^S_M$) は従来と同じタイミング関係となっている。

【0028】また、図2のタイミングチャートでは、映像期間に信号が出力される撮像領域の総ライン数をMラインとし、ダミー画素28としてiライン分の画素が追加された場合を例にとって示している。このとき、垂直走査回路23からは、垂直走査パルス $V^R_1, V^R_2, \dots, V^R_m, \dots, V^R_M, V^R_{M+1}, \dots, V^R_{M+i}$ が順に出力される。また、電子シャッタ走査回路24からは、電子シャッタ走査パルス $V^S_1, V^S_2, \dots, V^S_m, \dots, V^S_M, V^S_{M+1}, \dots, V^S_{M+i}$ が順に出力される。

【0029】上述したように、第1実施形態に係るXYアドレス型撮像素子では、映像信号の総走査線数と同じ段数になるように、垂直走査回路23と電子シャッタ走査回路24にダミーステージ23'、24'を追加するとともに、ダミー画素28を追加したことにより、図2のタイミングチャートから明らかなように、垂直走査回路23および電子シャッタ走査回路24は共に、それぞれのスタートパルス ϕVS 、 ϕSS に同期して1行目の走査パルスを出し、ダミーステージの最後の行M+iまで走査が完了すると、次の垂直走査期間に入るので連続してまた再び1行目から走査を開始する。

【0030】これにより、電子シャッタ走査回路24から出力される電子シャッタ走査パルス V^S_m (V^S_1, V

(5)

7

$V^S_2, \dots, V^S_m, \dots, V^S_M, V^S_{M+1}, \dots, V^S_{M+i}$ が全ての水平走査期間に必ず出力されるようになり、したがって電子シャッタ走査回路24に流れる電流が各水平走査期間ごとに異なることがなくなるため、電子シャッタ走査回路24の電源から撮像素子の出力回路に回り込む不規則な電位変動が抑制される。

【0031】さらに、映像期間中撮像領域に途切れることなく電子シャッタ走査パルス V^S_m が加わるため、画素からの出力信号に当該走査パルスの有無によるオフセット段差や信号量段差が抑制される。その結果、電子シャッタ走査回路24に流れる電流と電子シャッタ走査パルス V^S_m が撮像領域に与える影響が連続的となるため、従来技術で問題となった電子シャッタ段差（図14を参照）がきわめて良好に除去される。

【0032】図3は、本発明の第2実施形態に係るXYアドレス型撮像素子を示す構成図である。ここでは、図面の簡略化のために、単位画素の構成については、m行n列目の画素31m、nのみを例にとって示しているが、他の画素についても全く同じ構成であることは勿論である。

【0033】図3において、m行n列目の画素31m、nは、第1実施形態に係る撮像素子の場合と同様に、フォトダイオード32、読み出しトランジスタ33、増幅トランジスタ34、垂直選択トランジスタ35、XYアドレストランジスタ36およびリセットトランジスタ37によって構成されている。

【0034】上記構成の画素31m、nにおいて、フォトダイオード32のカソードには読み出しトランジスタ33のソースが接続されている。読み出しトランジスタ33のドレインには、増幅トランジスタ34のゲートおよびリセットトランジスタ37のソースがそれぞれ接続されている。リセットトランジスタ37のドレインは電源VDDに接続されている。増幅トランジスタ34のソースには垂直トランジスタ35のドレインが接続されている。

【0035】垂直トランジスタ35のソースは、垂直信号線38に接続されている。垂直選択トランジスタ35のゲートは、撮像領域を横断するように配線された垂直選択線39に接続されている。読み出しトランジスタ35のゲートには、XYアドレストランジスタ36のソースが接続されている。XYアドレストランジスタ36のドレインは水平選択線40に接続され、ゲートが垂直選択線39に接続されている。

【0036】撮像領域の周辺部分には、垂直走査系41および水平走査系42が設けられている。そして、第1実施形態に係るXYアドレス型撮像素子の場合と同様に、垂直走査系41は垂直走査回路43、電子シャッタ走査回路44およびORゲート45によって構成され、水平走査系42は水平選択トランジスタ46および水平走査回路47によって構成されている。

8

【0037】本実施形態ではさらに、垂直走査系41において、垂直走査回路43と電子シャッタ走査回路44の各最終段（M段目）に、1段（または、複数段）の自走型巡回型走査回路48、49を接続し、それに対応したダミー画素50を、映像期間に信号が出力される撮像領域に追加した構成が採られている。そして、自走型走査回路48、49から出力される各走査パルスは、ORゲート51を通してダミー垂直選択線52に与えられるようになっている。

【0038】自走型走査回路48、49はそれぞれ垂直走査回路43と電子シャッタ走査回路44の各走査パルスを受けて動作を開始し、電子シャッタ走査回路44側の自走型走査回路49は、図4のタイミングチャートに示すように、従来例に係るXYアドレス型撮像素子において電子シャッタ段差が発生していた期間に電子シャッタ走査パルス V^S_{M+1} を発生する。

【0039】ただし、自走型走査回路48、49をそのままにしておくと走査パルスが出続けるので、図4のタイミングチャートから明らかなように、再び電子シャッタ走査回路44をスタートさせる直前に自走ストップパルス ϕ_{SR} を与えて停止させるようにする。垂直走査回路43側の自走型走査回路48についても同様に、自走ストップパルス ϕ_{SR} を適当なタイミングで与えて停止させるようにする。

【0040】図4のタイミングチャートにおいて、スタートパルス ϕ_{VS} 、 ϕ_{SS} 、垂直走査パルス V^R_m （ $V^R_1, V^R_2, \dots, V^R_m, \dots, V^R_M$ ）および電子シャッタ走査パルス V^S_m （ $V^S_1, V^S_2, \dots, V^S_m, \dots, V^S_M$ ）は従来と同じタイミング関係となっている。また、自走型走査回路48、49から出力される垂直走査パルス V^R_{M+1} 、 V^S_{M+1} については、従来例に係るXYアドレス型撮像素子の垂直画素数と映像信号総走査線数の差の段数分だけ連続して発生することになる。

【0041】上述したように、第2実施形態に係るXYアドレス型撮像素子では、垂直走査回路43と電子シャッタ走査回路24に対して自走型走査回路48、49を追加するとともに、ダミー画素50を追加したことにより、電子シャッタ走査パルス V^S_m （ $V^S_1, V^S_2, \dots, V^S_m, \dots, V^S_M, V^S_{M+1}$ ）が全ての水平走査期間に必ず出力されるようになるため、第1実施形態の場合と同様の理由により、電子シャッタ段差を抑圧することができる。

【0042】すなわち、電子シャッタ走査回路44に流れる電流が各水平走査期間ごとに異なることがなくなるため、電子シャッタ走査回路44の電源から撮像素子の出力回路に回り込む不規則な電位変動が抑制される。さらに、映像期間中撮像領域に途切れることなく電子シャッタ走査パルス V^S_m が加わるため、画素からの出力信号に当該走査パルスの有無によるオフセット段差や信号量段差が抑制される。その結果、電子シャッタ走査回路

(6)

9

4 4に流れる電流と電子シャッタ走査パルス V^S_m が撮像領域に与える影響が連続的となるため、電子シャッタ段差がきわめて良好に除去される。

【0043】図5は、電子シャッタ走査回路4 4とその最終段に接続された1段の自走型走査回路4 9の具体的な回路例を示す回路図である。

【0044】図5において、電子シャッタ走査パルス $V^S_1, V^S_2, \dots, V^S_m, \dots, V^S_M$ までの各段の回路は、スイッチングトランジスタ6 1, 6 3およびCMOSインバータ6 2, 6 4からなる一般的なダイナミックシフトレジスタによって構成されている。そして、当該シフトレジスタの各段の出力と水平同期信号HDおよび読み出しタイミングパルスとの論理積がANDゲート6 5でとられ、このANDゲート6 5の論理積出力が電子シャッタ走査パルス $V^S_1, V^S_2, \dots, V^S_m, \dots, V^S_M$ となる。

【0045】一方、電子シャッタ走査パルス V^S_{M+1} を発生する自走型走査回路4 9は、スイッチングトランジスタ6 1, 6 3およびCMOSインバータ6 2, 6 4からなる一般的なダイナミックシフトレジスタを基本構成とし、これに加えて、自段の出力と垂直走査回路4 4の最終段の出力との論理和をとるORゲート6 6と、自走ストップパルス ϕ_{SR} に反応してCMOSインバータ6 2の入力端をGNDに接続するストップトランジスタ6 7と、インバータ6 8で反転された自走ストップパルス ϕ_{SR} に反応してCMOSインバータ5 4の入力端を電源に接続するストップトランジスタ6 9とを有する構成となっている。

【0046】上記構成の自走型走査回路4 9は、前段の出力、即ち垂直走査回路4 4の最終段の出力を受けてパルスを出力し続ける。そして、この出力パルスが、垂直走査回路4 4の各段の出力と同様に、ANDゲート6 5において水平同期信号HDおよび読み出しタイミングパルスとの論理積がとられ、このANDゲート6 5の論理積出力が電子シャッタ走査パルス V^S_{M+1} となる。また、自走ストップパルス ϕ_{SR} が与えられると、CMOSインバータ6 2の入力端が接地され、CMOSインバータ5 4の入力端が電源にプルアップされることで、自走が停止するようになっている。

【0047】この自走型走査回路4 9がパルスを出力し始め、停止するまでの詳細なタイミング関係を図6のタイミングチャートに示している。このタイミング例では、自走型走査回路4 9が電子シャッタ走査パルス V^S_{M+1} を3個出力した後、自走ストップパルス ϕ_{SR} が発生して停止するような場合を示している。自走型走査回路4 9が停止した次の水平走査期間から再び1行目の走査が始まるように、スタートパルス ϕ_{SS} が立ち、電子シャッタ走査パルス V^S_1 が出力される。

【0048】次に、本発明の第3実施形態について説明する。この第3実施形態は、構造的には、図1 0に示す

10

構成の従来例に係るXYアドレス型撮像素子に適用される。すなわち、従来例に係るXYアドレス型撮像素子に対して構造上何ら変更を加えることなく、電子シャッタ走査回路の駆動タイミングを工夫することで、電子シャッタ段差を防止するようにしている。その駆動タイミングを図7および図8に示す。

【0049】図7は、垂直同期のタイミングチャートである。このタイミングチャートにおいて、VDは垂直同期信号、HDは水平同期信号である。 ϕ_{V1}, ϕ_{V2} は図1 0の垂直走査回路1 1 0における垂直クロックパルス、 ϕ_{VS} はその垂直走査スタートパルス、 $V^R_1, V^R_2, \dots, V^R_M$ は垂直走査パルスである。 ϕ_{S1}, ϕ_{S2} は電子シャッタ走査回路1 1 1におけるクロックパルス、 ϕ_{SS} は電子シャッタ走査スタートパルス、 $V^S_1, V^S_2, \dots, V^S_M$ は電子シャッタ走査パルスである。

【0050】垂直走査スタートパルス ϕ_{VS} が立つことで、垂直走査パルスが V^R_1 から順に水平走査期間ごとに立ち、画素の読み出しの制御を行う。一方、電子シャッタ走査スタートパルス ϕ_{SS} は、電子シャッタのシャッタスピードが垂直走査スタートパルス ϕ_{VS} との時間差で決まるため、所望のシャッタスピードに合わせて適切な位置に保つ。この電子シャッタ走査スタートパルス ϕ_{SS} により電子シャッタ走査パルスが V^S_1 から順に水平走査期間ごとに立ち、画素に蓄積された信号電荷をリセットする。

【0051】ここで、第3実施形態の特徴とする点について説明する。その一つは、電子シャッタ走査パルス $V^S_1, V^S_2, \dots, V^S_M$ が、ある水平走査期間について出力されないように、電子シャッタ走査回路1 1 1が走査し終わったタイミングを見計らって電子シャッタ走査スタートパルス ϕ_{SS} としてダミー走査スタートパルスを立てることにある。

【0052】他の一つは、このダミー走査スタートパルスおよび本来の電子シャッタ走査スタートパルスにより、電子シャッタ走査回路1 1 1から出力される電子シャッタ走査パルス $V^S_1, V^S_2, \dots, V^S_M$ がダブって出力されないように、電子シャッタ走査スタートパルスが立つ直前に電子シャッタ走査回路1 1 1のクロックパルス ϕ_{S1}, ϕ_{S2} としてダミー走査ストップパルスを挿入することにある。

【0053】図8は、特にダミー走査ストップパルスの位相関係がわかるように、その部分を時間軸方向に拡大して示したタイミングチャートである。なお、電子シャッタ走査回路1 1 1の具体的な回路構成としては、図5に示す第2実施形態での電子シャッタ走査回路4 4の回路構成と同じであるとする。

【0054】このようなスイッチングトランジスタ6 1, 6 3およびCMOSインバータ6 2, 6 4で構成されたダイナミックシフトレジスタは、クロックパルス ϕ_{S1} と ϕ_{S2} の位相が異なっていない状態で正常にシフ

50

(7)

11

トレジスタとして動作するが、クロックパルス $\phi S1$ と $\phi S2$ の位相を重ねると、所謂レーシングと呼ばれる現象により、走査されるはずのパルスが消滅してしまい、結果的に電子シャッタ走査回路111がリセットされる。

【0055】逆にこの現象を利用して、図8における電子シャッタ走査パルス $V S9$ が走査パルスを出力して $V S1$ と重なる前に、クロックパルス $\phi S1$ 、 $\phi S2$ の位相を重ねたダミー走査ストップパルスを立てることで、電子シャッタ走査回路111をリセットすることができる。この結果、電子シャッタ走査回路111から全ての水平走査期間から必ず電子シャッタ走査パルスが出力され、電子シャッタ段差が発生しない。

【0056】上述したように、第3実施形態に係るXYアドレス型撮像素子では、電子シャッタ走査回路111が撮像領域の走査を一巡したら、電子シャッタ走査回路111に対してダミー走査スタートパルスを与え、さらに次の電子シャッタ走査が始まる直前に電子シャッタ走査回路111をリセットするようにしたことにより、電子シャッタパルスが重複することなく、しかも垂直映像期間内で途切れることなく連続して出力されるようになるため、第1実施形態の場合と同様の理由により、電子シャッタ段差を除去することができる。

【0057】特に、第3実施形態の場合には、電子シャッタ走査回路111の駆動タイミングを変更するだけで所期の目的を達成できるため、従来のXYアドレス型撮像素子をそのまま使用できるため、電子シャッタ段差を未然に防止できるXYアドレス型撮像素子を安価に提供できる利点がある。

【0058】なお、ここでは、図5に示した回路構成のダイナミックシフトレジスタからなる電子シャッタ走査回路において、当該シフトレジスタのレーシングを利用した場合を例に採って説明したが、ダイナミックシフトレジスタ以外にも、クロックパルスなどによってレーシングを起こすことが可能な回路構成の電子シャッタ走査回路にも応用可能である。

【0059】また、第3実施形態の変形例として、図5に示した回路構成の自走型走査回路49をリセットするリセットトランジスタ67、69を利用してレーシングの代わり、即ちシフトレジスタをリセットすることが可能である。

【0060】図9は、本発明に係るカメラシステムの一例を示す概略構成図である。図9において、被写体（図示せず）からの入射光（像光）は、レンズ71等を含む光学系によってXYアドレス型撮像素子72の撮像面上に結像される。XYアドレス型撮像素子72としては、先述した本発明の第1、第2または第3実施形態もしくはその変形例に係るXYアドレス型撮像素子が用いられる。

【0061】XYアドレス型撮像素子72は、タイミン

12

グジェネレータ等を含む駆動回路73から出力される各種のタイミング信号に基づいてその駆動が行われる。XYアドレス型撮像素子72から出力される撮像信号は、信号処理回路74において種々の信号処理が施された後、映像信号として出力される。

【0062】上記構成のカメラシステムにおいて、XYアドレス型撮像素子72として、本発明の第1、第2または第3実施形態もしくはその変形例に係るXYアドレス型撮像素子を用いることで、当該撮像素子では電子シャッタ段差を抑圧することができるため、電子シャッタ段差のない良好な撮像画面を提供できる。

【0063】

【発明の効果】以上説明したように、本発明によれば、電子シャッタ動作をする固体撮像素子およびその駆動方法並びにカメラシステムにおいて、において、垂直走査終了後も少なくとも垂直映像期間中は電子シャッタ走査パルスを出力し続けるようにしたことにより、少なくとも垂直映像期間内の全ての水平走査期間で電子シャッタパルスが出力されるようになるため、撮像素子の撮像信号にオフセットや信号振幅の段差が発生するのを抑制でき、結果として、電子シャッタ段差を確実に防止できることになる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るXYアドレス型固体撮像素子を示す概略構成図である。

【図2】第1実施形態に係るXYアドレス型固体撮像素子の動作説明のためのタイミングチャートである。

【図3】本発明の第2実施形態に係るXYアドレス型固体撮像素子を示す概略構成図である。

【図4】第2実施形態に係るXYアドレス型固体撮像素子の動作説明のためのタイミングチャートである。

【図5】電子シャッタ走査回路および自走型走査回路の具体的な回路例を示す回路図である。

【図6】自走型走査回路の動作説明のためのタイミングチャートである。

【図7】本発明の第3実施形態に係るタイミングチャート（その1）である。

【図8】本発明の第3実施形態に係るタイミングチャート（その2）である。

【図9】本発明に係るカメラシステムを示す概略構成図である。

【図10】従来例に係るXYアドレス型固体撮像素子を示す概略構成図である。

【図11】従来例に係るタイミングチャート（その1）である。

【図12】従来例に係るタイミングチャート（その2）である。

【図13】従来例に係るタイミングチャート（その3）である。

【図14】撮像画面上に発生する電子シャッタ段差を示

50

(8)

13

す図である。

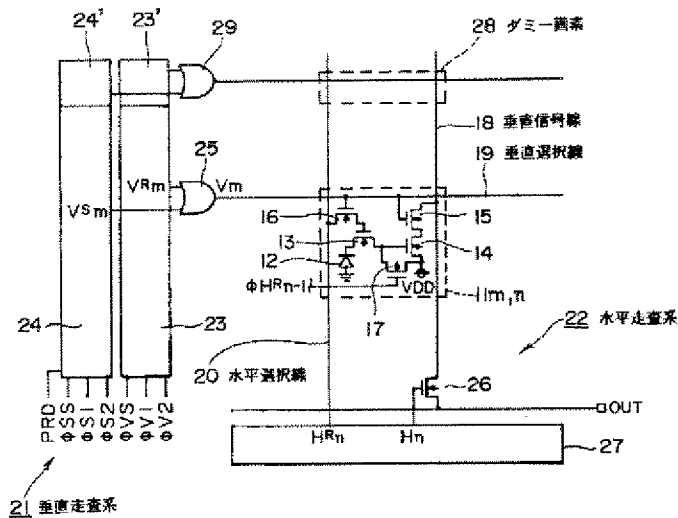
【符号の説明】

11m, n, 31m, n…画素、23, 43…垂直走査

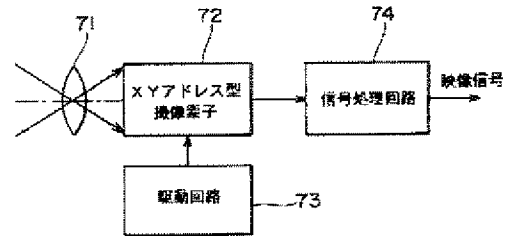
14

回路、24, 44…電子シャッタ走査回路、23', 24'…ダミーステージ、27, 47…水平走査回路、28, 50…ダミー画素、48, 49…自走型走査回路

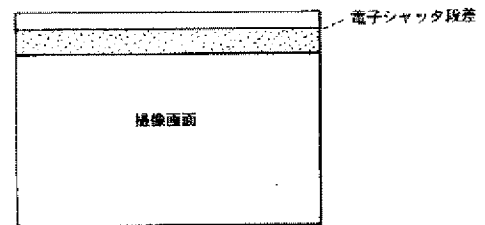
【図1】



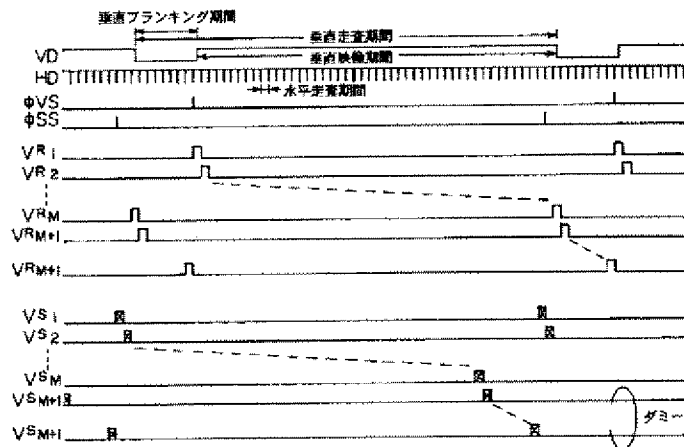
【図9】



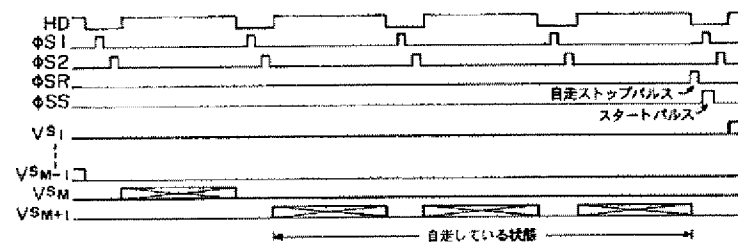
【図14】



【図2】

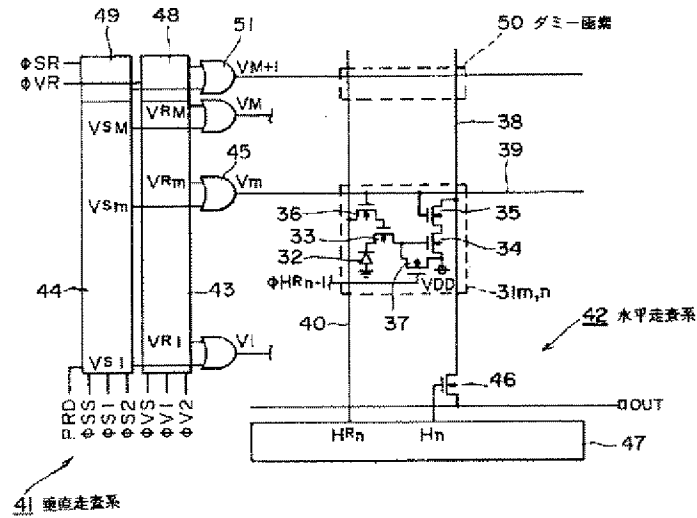


【図6】

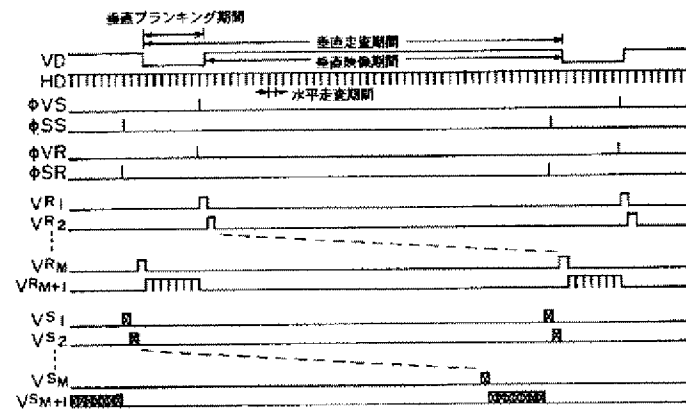


(9)

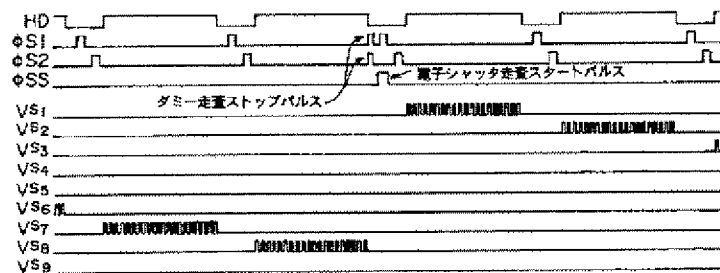
【図 3】



【図 4】

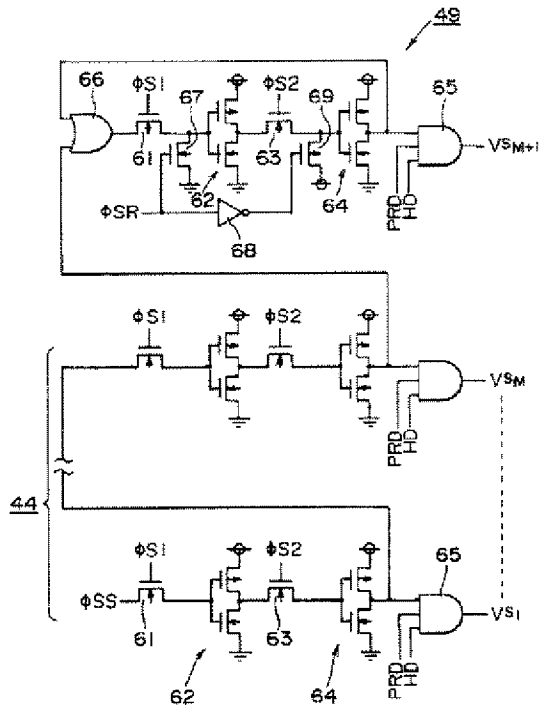


【図 8】

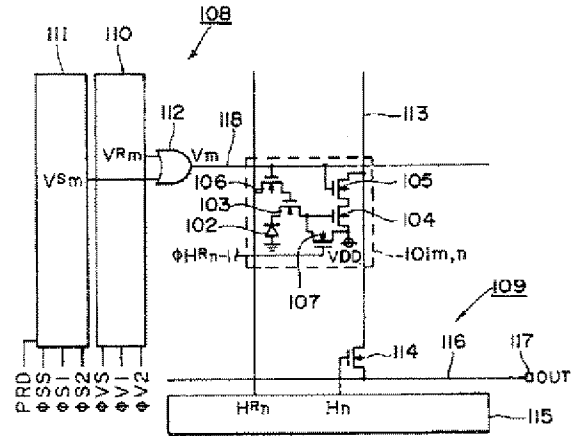


(10)

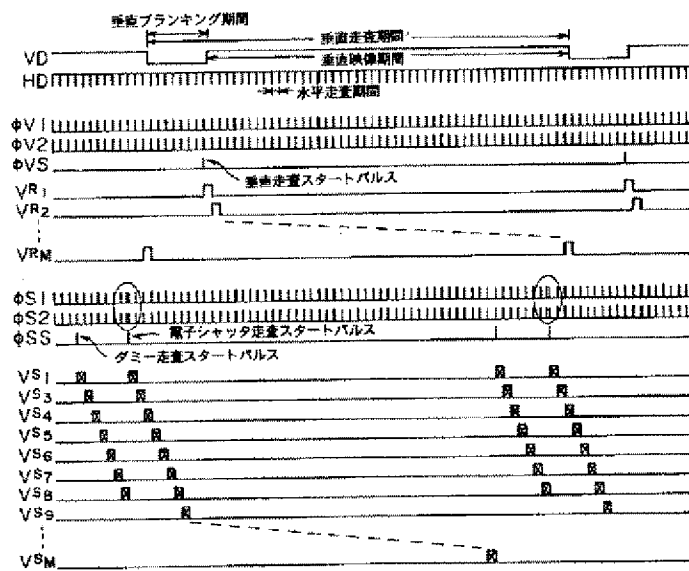
【図 5】



【図 10】

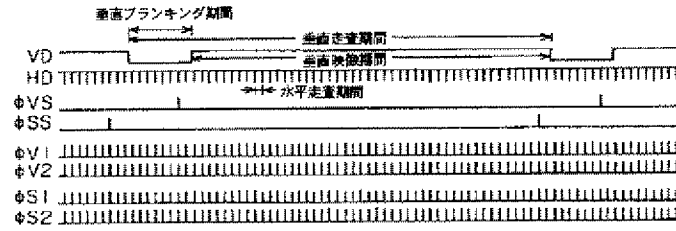


【図 7】

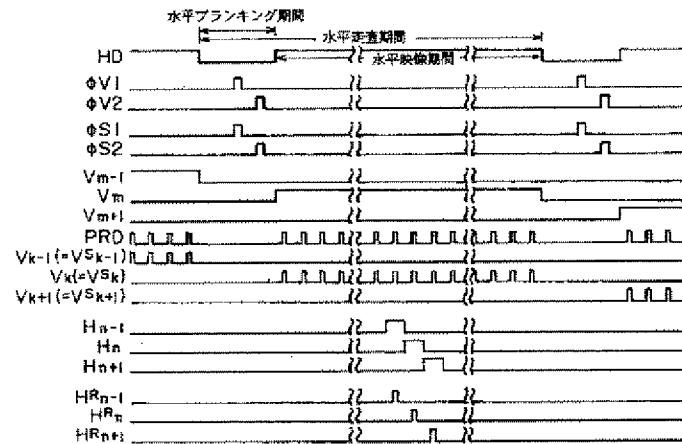


(11)

【図11】



【図12】



【図13】

